Universitatea Tehnică a Moldovei

Facultatea Calculatoare, Informatică și Microelectronică

**Raport**

la Lucrarea de laborator Nr. 1

Disciplina: Analiza şi sinteza dispozitivelor numerice

Tema: „Sinteza Circuitelor logice combinaționale**”**

Au efectuat: Vlașițchi Ștefan, TI-216

A verificat: Lector universitar

Chișinău – 2022

**Scopul lucrării:** studierea practică şi cercetarea procesului de sinteză a circuitelor logice combinaţionale

Varianta 9

Sarcina:

1. Se efectuează minimizarea funcţiilor logice **y1** şi **y2 .** Pentru ambele funcţii se efectuează sinteza circuitul logic în setul de elemente ŞI-NU.

**Y1 = V(** 1,2,3,4,6,7,8,9,10 **)**

**Y2 = V(**2,3,5,6,7,10,12,15**)**

**Elaborarea tabelului de adevăr:**

Table 1 - Tabelul de adevar

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | X | X | X | X | Y | Y |
|  | 1 | 2 | 3 | 4 | 1 | 2 |
|  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
|  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 |
|  |  |  |  |  |  |  |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 |
|  |  |  |  |  |  |  |
| 3 | 0 | 0 | 1 | 1 | 1 | 1 |
|  |  |  |  |  |  |  |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 |
|  |  |  |  |  |  |  |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 |
|  |  |  |  |  |  |  |
| 6 | 0 | 1 | 1 | 0 | 1 | 1 |
|  |  |  |  |  |  |  |
| 7 | 0 | 1 | 1 | 1 | 1 | 1 |
|  |  |  |  |  |  |  |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 |
|  |  |  |  |  |  |  |
| 9 | 1 | 0 | 0 | 1 | 1 | 0 |
|  |  |  |  |  |  |  |
| 10 | 1 | 0 | 1 | 0 | 1 | 1 |
|  |  |  |  |  |  |  |
| 11 | 1 | 0 | 1 | 1 | 0 | 0 |
|  |  |  |  |  |  |  |
| 12 | 1 | 1 | 0 | 0 | 0 | 1 |
|  |  |  |  |  |  |  |
| 13 | 1 | 1 | 0 | 1 | 0 | 0 |
|  |  |  |  |  |  |  |
| 14 | 1 | 1 | 1 | 0 | 0 | 0 |
|  |  |  |  |  |  |  |
| 15 | 1 | 1 | 1 | 1 | 0 | 1 |
|  |  |  |  |  |  |  |

Table 2 - Diagramma Karnaugh pentru funcția y1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2  x3x4 | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
| 00 |  | 1 |  | 1 |
|  |  |  |  |  |
| 01 | 1 |  |  | 1 |
|  |  |  |  |  |
| 11 | 1 | 1 |  |  |
|  |  |  |  |  |
| 10 | 1 | 1 |  | 1 |
|  |  |  |  |  |

**FDN** adusa la forma elementară ȘI-NU**:**

** **y1 =** x1x3+x1x2x4+x1x2x4+x2x3x4



** **y1 =** x1x3 +x1x2x4+x1x2x4+x2x3x4

**Table 3 - Diagramma Karnaugh pentru funcția y2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2  x3x4 | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
| 00 |  |  | 1 |  |
|  |  |  |  |  |
| 01 |  | 1 |  |  |
|  |  |  |  |  |
| 11 | 1 | 1 | 1 |  |
|  |  |  |  |  |
| 10 | 1 | 1 |  | 1 |
|  |  |  |  |  |



**FDN** adusa la forma elementară ȘI-NU**:**

**y2= x1x3+x2x3x4+x1x2x4+x2x3x4+x1x2x3x4



 y2= x1x3+x2x3x4+x1x2x4+x2x3x4+x1x2x3x

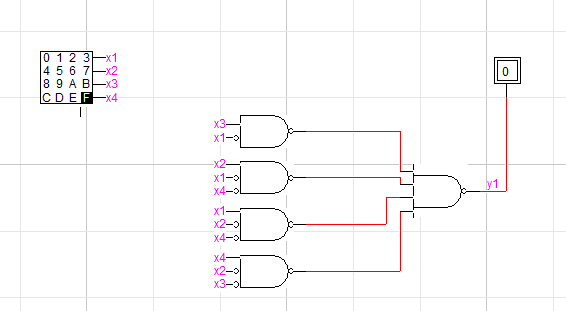


Figure 1 - Schema funcției y1 în baza elementară ȘI-NU

C=14λ

T=2τ

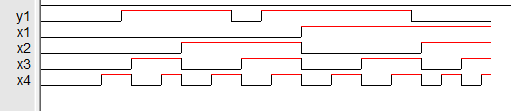


Figure 2 - Diagramma de timp pentru funcția y1

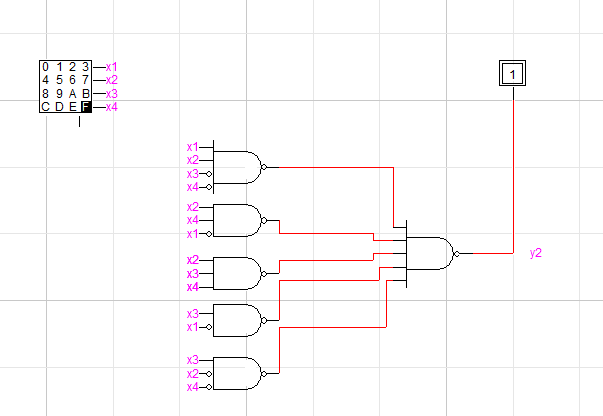


Figure 3 - Schema funcției y2 în baza elementară ȘI-NU

C=18λ

T=2τ

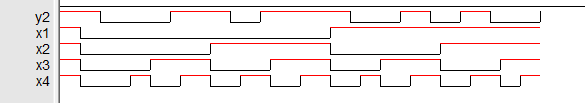


Figure 4 - Diagramma de timp pentru funcția y2

Se efectuează minimizarea funcţiilor logice **y1** şi **y2 .** Pentru ambele funcţii se efectuează sinteza circuitul logic în setul de elemente SAU-NU.

Table 4 - Diagramma Karnaugh pentru funcția y1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2  x3x4 | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
| 00 | 0 |  | 0 |  |
|  |  |  |  |  |
| 01 |  | 0 | 0 |  |
|  |  |  |  |  |
| 11 |  |  | 0 | 0 |
|  |  |  |  |  |
| 10 |  |  | 0 |  |
|  |  |  |  |  |

**FCN** adusa forma elementară SAU-NU**:**

****y1=(x1+x2)\*(x2+x3+x4)\*(x1+x3+x4)\*(x1+x2+x3+x4)

****

****y1=(x1+x2)\*(x2+x3+x4)\*(x1+x3+x4)\*(x1+x2+x3+x4)

Table 5 - Diagramma Karnaugh pentru funcția

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| x1x2  x3x4 | 00 | 01 | 11 | 10 |
|  |  |  |  |  |
|  |  |  |  |  |
| 00 | 0 | 0 |  | 0 |
|  |  |  |  |  |
| 01 | 0 |  | 0 | 0 |
|  |  |  |  |  |
| 11 |  |  |  | 0 |
|  |  |  |  |  |
| 10 |  |  | 0 |  |
|  |  |  |  |  |

**FCN** adusa forma elementară SAU-NU**:**

y2=(x2+x3)\*(x1+x3+x4)\*(x1+x2+x4)\*(x1+x3+x4)\*(x1+x2+x3+x4)

****

y2=(x2+x3)\*(x1+x3+x4)\*(x1+x2+x4)\*(x1+x3+x4)\*(x1+x2+x3+x4)

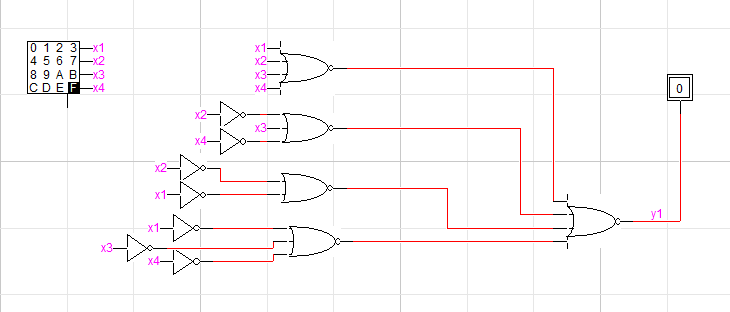


Figure 5 - Schema funcției în baza elementară SAU-NU pentru funcția y1

C=15λ

T=3τ

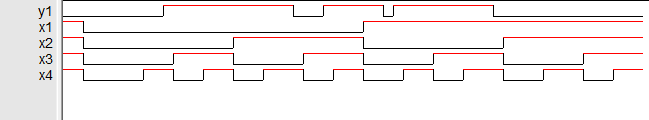


Figure 6 - Diagramma de timp pentru funcția y1

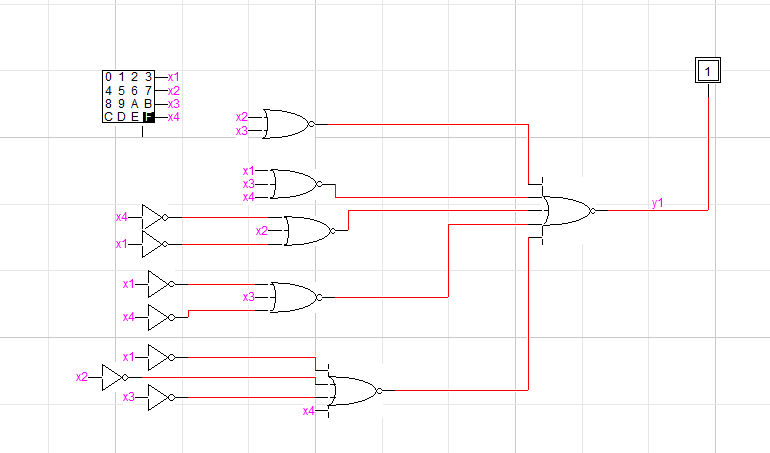


Figure 7 - Schema funcției în baza elementară SAU-NU pentru funcția y2

C=22λ

T=3τ

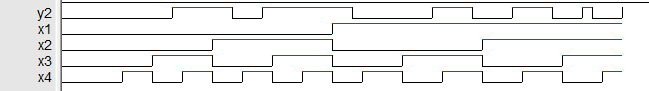


Figure 8 - Diagramma de timp pentru funcția y2

**Concluzie:** În urma efectuării lucrării de laborator am aplicat în practică cunoștințele obținute pentru realizarea CLC, am studiat etapele de sinteză a CLC, aducerea funcțiilor la baza elementară necesară, precum și simularea diagramei de timp. Am învățat să utilizez un program nou Logic Works care permite desenarea circuitelor logice și verificarea corectitudinii minimizării funcției. Mi-am adus aminte depre metoda de minimizare Karnaugh.